

# 基于 V93000 的 SoC 中端口非测试复用的 ADC 和 DAC IP 核性能测试方案

裴颂伟<sup>1</sup>, 李兆麟<sup>1</sup>, 李圣龙<sup>2</sup>, 魏少军<sup>2</sup>

(1. 清华大学信息技术研究院, 北京 100084; 2. 清华大学微电子研究所, 北京 100084)

**摘要:** SoC(System-on-a-Chip)芯片设计中,由于芯片测试引脚数目的限制以及基于芯片性能的考虑,通常有一些端口不能进行测试复用的 IP(Intellectual Property)核将不可避免地被集成在 SoC 芯片当中.对于端口非测试复用 IP 核,由于其端口不能被直接连接到 ATE(Automatic Test Equipment)设备的测试通道上,由此,对端口非测试复用 IP 核的测试将是对 SoC 芯片进行测试的一个重要挑战.在本文当中,我们分别提出了一种基于 V93000 测试仪对端口非测试复用 ADC(Analog-to-Digital Converter)以及 DAC(Digital-to-Analog Converter)IP 核的性能参数测试方法.对于端口非测试复用 ADC 和 DAC IP 核,首先分别为他们开发测试程序并利用 V93000 通过 SoC 芯片的 EMIF(External Memory Interface)总线对其进行配置.在对 ADC 和 DAC IP 核进行配置以后,就可以通过 V93000 捕获 ADC IP 核采样得到的数字代码以及通过 V93000 采样 DAC IP 核转换得到的模拟电压值,并由此计算 ADC 以及 DAC IP 核的性能参数.实验结果表明,本文分别提出的针对端口非测试复用 ADC 以及 DAC IP 核测试方案非常有效.

**关键词:** 片上系统; 模数转换器; 数模转换器; V93000 测试仪; 性能参数

**中图分类号:** TP306+.2      **文献标识码:** A      **文章编号:** 0372-2112 (2013)07-1358-07

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2013.07.018

## Performance Parameter Testing for ADC and DAC IP Cores Without I/O Multiplexing in SoC Using Verigy 93000

PEI Song-wei<sup>1</sup>, LI Zhao-lin<sup>1</sup>, LI Sheng-long<sup>2</sup>, WEI Shao-jun<sup>2</sup>

(1. Research Institute of Information Technology, Tsinghua University, Beijing 100084, China;

2. Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract:** IP cores without I/O multiplexing are typically unavoidable to be embedded into SoC due to the necessary considerations such as pin constraint and performance optimization during the design stage. Hence, one of the serious challenges for SoC testing is how to effectively test IP cores without I/O multiplexing because the ports of IP cores without I/O multiplexing cannot be directly connected to the ATE channels. In this paper, we propose test methods for ADC and DAC IP cores without I/O multiplexing using V93000 ATE respectively. In order to test the ADC and DAC IP cores without I/O multiplexing, test programs are firstly developed and loaded into V93000 to configure the two cores via EMIF bus. Then the digital codes and the analog voltage values respectively converted by ADC and DAC IP cores of SoC are captured by V93000 for performance parameter calculation. Experimental results show that the proposed methods are effective.

**Key words:** System-on-a-Chip; ADC; DAC; V93000 ATE; performance parameter

## 1 引言

片上系统是基于 IP 核复用技术以及软硬件协同处理机制,从整个系统的角度出发,在单个芯片上实现一个复杂系统的技术.随着通信、网络、多媒体、便携式系统的涌现以及对更高性能、处理能力更强大产品的迫切

需求,伴随着集成电路制造工艺的成熟和进步,SoC 设计技术已成为当今集成电路业界的主流设计技术. IP 核是 SoC 设计成功的关键和基石,通常一个 SoC 里面都包含了大量的 IP 核用于实现强大复杂的系统<sup>[1-5]</sup>.

如图 1 所示为一个典型的 SoC 结构框图,其中包含了如 ARM、DSP 等处理器核, PLL 等模拟电路核, SRAM、

DRAM 等存储器核, ADC、DAC 模数以及数模转换处理模块, I2C、SPI、UART、USB 等通信接口模块<sup>[4,6]</sup>.

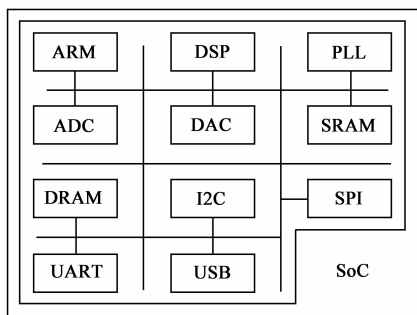


图1 典型SoC结构框图

通过采用 IP 核设计复用的 SoC 设计方法可以大幅提升芯片的设计效率,然而 SoC 芯片的高复杂度以及高集成度使得 SoC 芯片的测试成为一个巨大的挑战<sup>[7-9]</sup>. 测试设备生产商也试图通过各种手段来提升对 SoC 芯片的测试能力.对 SoC 芯片是否具有整体测试能力,也成为业界对测试设备品质衡量的重要标准.

Verigy 公司的 V93000 SoC 测试系统是业界享有盛誉的集成电路测试设备,其将数字、模拟、射频三大芯片测试功能有机地整合,为当前 SoC 芯片测试提供了一个系统的解决方案.V93000 SoC 系统继承了之前就享有盛名的 83000 测试机台的强大数字功能、94000 测试机台的领先模拟功能以及 84000 测试机台的射频测试能力,其还可以通过升级数字测试通道板(digital channel board)、模拟模块(analog module)、射频模块(RF module)提升测试设备的测试能力,为测试系统提供了非常强的可扩展功能.V93000 SoC 测试系统被广泛地采用在业界的 SoC 芯片测试当中<sup>[10,11]</sup>.

模数转换器(ADC)以及数模转换器(DAC)是联系模拟和数字信号之间纽带,其通常被集成在一个 SoC 系统当中,并被广泛地采用在信号控制、信息处理、视频处理、便携式系统等领域当中<sup>[12-15]</sup>.如何准确评估 SoC 中 ADC 和 DAC 的性能参数已成为一个非常重要的课题<sup>[16-18]</sup>.本文中探讨采用 V93000 SoC 测试系统对一款实际的 SoC 芯片中端口非测试复用 ADC 和 DAC IP 核的性能参数测试.

## 2 基于端口测试复用的 ADC 以及 DAC IP 核的性能参数测试方案及问题的提出

### 2.1 采用 V93000 测试端口进行了测试复用的 ADC 以及 DAC IP 核的方法

图 2 为分别包含一个端口测试复用的 ADC 和 DAC IP 核的 SoC 框图.如图 2 所示,对于其中 ADC 模块而言,模拟差分信号是 SoC 芯片的功能输入,没有所谓端口测试复用概念,对 DAC IP 核的模拟差分输出信号也

是如此.为了方便 SoC 中 ADC 和 DAC IP 的测试,图 2 中 SoC 结构复用了 ADC IP 核中采样时钟和数字转换输出信号,复用了 DAC IP 核中的转换时钟和数字输出信号.

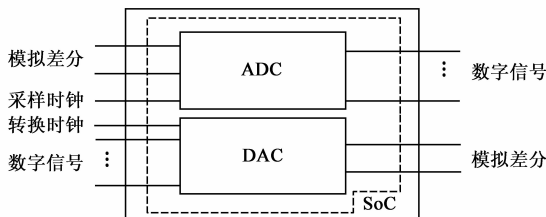


图2 端口测试复用的ADC和DAC IP核

对于如图 2 所示这种在 SoC 中进行了端口测试复用的 ADC 和 DAC IP 核,V93000 测试系统可以方便地进行测试.对于 ADC IP 核,通过采用 V93000 测试仪的任意波形生成器(Arbitrary Waveform Generator, AWG),生成一个高质量的正弦波或者斜波信号送入 ADC IP 核的模拟输入端上,再通过一个数字通道往采样时钟端口送入相应的采样时钟信号,就可以通过数字通道来捕获 ADC 转换后的数字代码,再通过采用窗口观测法或者码密度直方图分析法等就能得出 ADC IP 核的性能参数<sup>[10,11,18]</sup>.类似地,通过采用数字通道,对 DAC IP 核的转换时钟和数字信号端口送入相应的信号,就能通过高精度数字化仪 WDB 模块来采样 DAC IP 核生成的模拟差分信号,再通过窗口观测法或者最小二乘法等就能得出 DAC IP 核的性能参数.

### 2.2 问题的提出

如上所述,通过对 SoC 芯片中的 ADC 以及 DAC IP 核进行端口测试复用,即将 IP 核的相应端口通过多路选择器复用到芯片的引脚上,可以方便地采用 V93000 对 ADC 和 DAC IP 核进行性能参数测试.然而,通过对 IP 模块端口进行测试复用,无疑会由于多路选择器的增加带来 SoC 芯片设计的复杂性,并带来芯片面积以及性能上的损失.此外,这种方法对 IP 核的端口数有明确的限制,其严重依赖于 SoC 芯片所能提供的测试引脚数目.因此,基于上述考虑,对于很多 SoC 芯片设计而言,可能没有办法把一些相应的 IP 核的端口复用到 SoC 芯片的外部引脚上<sup>[10,11,19]</sup>.

显然,如何通过 V93000 测试没有进行端口测试复用的 IP 核成为一个需要研究的重要问题.本文所研究

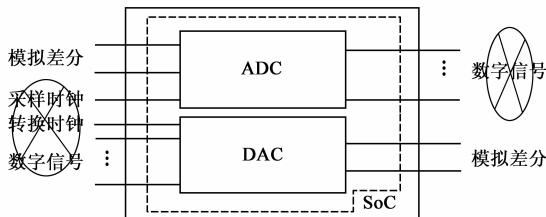


图3 端口非测试复用的ADC和DAC IP核

的问题就是针对如图 3 所示的 SoC 芯片结构中的 ADC 和 DAC IP 核,其中相应的采样时钟、转换时钟、ADC 的数字输出信号、DAC 的数字输入信号没有被复用出来,在这种情况下对 ADC 和 DAC IP 核进行性能参数测试.

### 3 基于 V93000 的 SoC 中端口非测试复用的 ADC 和 DAC IP 核的性能参数测试方案

#### 3.1 ADC IP 核测试方案

图 4 为本文提出基于 V93000 的 SoC 中端口非测试复用 ADC IP 核的性能参数测试的一个总体流程,这个测试流程也成功应用于一款实际的 SoC 中端口非测试复用的 ADC IP 核的性能参数测试.

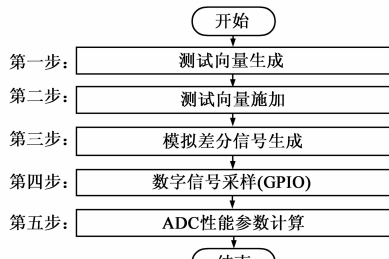


图4 端口非测试复用ADC IP核性能参数测试流程

中.在获取能够烧入片外 Flash 芯片中的内容之后,我们通过采用 Synopsys 的 VCS 工具并利用算法 2 的 Verilog 仿真程序进行仿真,并生成相应的 VCD 文件.

#### 算法 2 仿真程序

```

task AD_VCD_Generation;
begin
    $ readmemb("AD.pro", flash.memory); // AD.pro 为算法 1 中生成的用于从 flash 启动程序功能的文件
    $ display("program loaded successfully!");
    # 1000;
    sys_reset;
end
endtask
initial
    $ dumpfile("AD.dmp");
initial
    $ dumpvars(1, top);
  
```

通过格式转换工具 Wave Wizards 可以把 Verilog 仿真程序生成的 VCD 文件转换成 V93000 机台上所采用的相应格式并进行加载. V93000 被模拟成一个片外 Flash 芯片,被测 SoC 芯片通过 EMIF 总线从 V93000 中读入相应的程序加载到 SoC 芯片内部的 SRAM 当中,在程序的加载过程中,SoC 芯片只从 V93000 中读取数据,而不通过 EMIF 总线往 V93000 中写入数据.在程序加载完成后,程序跳转到 SoC 芯片片内 SRAM 开始执行.加载的程序用以完成对 SoC 芯片 PLL 的配置并生成期望频率的 ADC 采样时钟,以及配置 ADC 内部的控制寄存器.最后,ADC IP 核通过对模拟信号进行采样,然后通过 SoC 芯片内部的处理把采样得到的结果输出到芯片的 GPIO 端口上.

**模拟差分信号生成以及信号采样:**在本文这款实际芯片的测试案例中,我们通过采用 V93000 测试系统的任意波形生成器(Arbitrary Waveform Generator, AWG),生成一个高质量的正弦波送入 ADC IP 核的模拟输入信号上.此时,相应的采样结果将按照采样时钟频率输出到 GPIO 端口上.在芯片测试中,我们把 16 位的 ADC IP 核的转换结果通过 GPIO 的低 16 位端口并行输出.由于 GPIO 端口连接到 V93000 测试机台的数字通道上, V93000 将可以通过 GPIO 端口把转换的数字结果存储并进行 ADC IP 核性能参数的计算.

**ADC IP 核性能参数计算:**在利用 V93000 得到 ADC IP 核采样的数字结果后,就可以开始进行 ADC IP 核的性能参数计算. V93000 测试机台的 SmartTest 软件给用户提供了一种基于 C++ 语言的测试程序开发环境 Test-Method,通过编写程序可以实现对 V93000 的硬件控制、数据分析等.在本文芯片的测试中,我们通过采用 C++

**测试向量生成以及测试向量施加:**算法 1 为本文用于启动 ADC IP 核进行采样以及把采样数据通过 GPIO 端口进行输出的 C 语言伪代码.

#### 算法 1 测试代码生成程序

```

void AD_Test_Generation (void)
{
    * ((unsigned int *)GPIO_DIR_ADDR) = 0x0;
    * ((unsigned int *) GPIO_CLR_ADDR) = 0xFFFFFFFF;
    PLL_configuration();
    ADIoctl(AD_SET_MASK, 0, AD_DISABLE_INT); //禁止中断
    ADIoctl(AD_SET_CHREVERSE, 1, 0x0); //设置修正值
    ADIoctl(AD_SET_DIVIDER, 0, 0x0); //设置分频
    ADIoctl(AD_SET_POWERDOWN, 0, AD_POWER_ON); //打开 AD
    while(1)
    {
        while( * (int *) (ADC_BASE_ADDR +
            AD_CHVALID_OFFSET) = 0x1)
        {
            val = ADIoctl(AD_GET_CHDATA, 1, 0); //获取采样值
            * ((INT16U *) (GPIO_OUT_ADDR)) = val;
            //将采样值写入 GPIO 输出寄存器
        }
    }
}
  
```

在算法 1 的程序中,首先,通过配置 GPIO 端口的方向和 PLL 的频率,然后分别配置 ADC IP 核的参数.在应用 ADC IP 核对输入模拟信号进行采样之后,通过 GPIO 的端口把 ADC 转换的数字结果输出到 V93000 测试仪.在本文当中,我们可以通过 ADS(ARM Developer Suite) 1.2 工具把上述核心程序功能烧写入片外 Flash 模块当

并基于码密度直方图的理论基础进行 ADC IP 核的静态性能参数的计算. 基于采用正弦波作为输入信号的码密度原理方法<sup>[18]</sup>, 可以计算出 ADC IP 核常用静态性能参数失调误差(offset)、微分非线性误差(Differential Nonlinearity, DNL)、积分非线性误差(Integral Nonlinearity, INL)、增益误差(GAIN), 伪代码如算法 3 所示.

### 算法 3 ADC 性能参数计算程序

```
void ADC_test(int * ADC_capt_data)
```

```
{
    offset = A *  $\frac{\pi}{2} \frac{N_p - N_n}{N_p + N_n}$ ;
    // A 代表输入正弦波信号的幅度,  $N_p$  和  $N_n$  分别代表相对于中点为
    // 正和为负的样本数
    DNL[i] =  $\frac{\cos(\frac{\pi CH[i+1]}{N_t})}{1lsb} - \frac{\cos(\frac{\pi CH[i]}{N_t})}{1lsb} - 1$ ;
    // 1lsb 代表归一化后的 LSB,  $N_t$  代表总的采样数, CH[i] 代表代码 i
    // 之前所有码箱之和.
    INL[i] =  $\sum_{j=1}^i DNL[j]$ ;
}
```

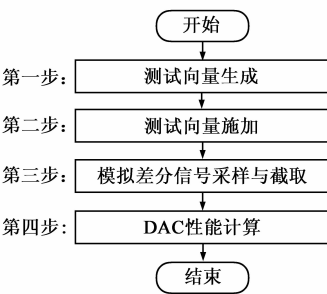
增益误差可以认为是对应增益点的 INL 值.

## 3.2 DAC IP 核测试方案

类似于端口非测试复用 ADC IP 核的测试方案, 图 5 为本文提出的 SoC 中端口非测试复用 DAC IP 核性能参数测试的一个总体流程, 这个测试流程也成功应用于一款实际的 SoC 中端口非测试复用的 DAC IP 核的性能参数测试.

**测试向量生成以及测试向量施加:** 在端口非测试复用的 DAC IP 核测试中, 转换时钟与数字输入信号都没有能够直接复用出来, 因此类似于本文提出的 ADC IP 核测试方案, 在对 DAC IP 核的测试中, 也是通过 SoC 芯片自身及 V93000 的协助来完成转换时钟与数字输入信号的生成. 类似地, 我们也通过把 V93000 模拟成一个外部 Flash 芯片, 并加载入相应的程序配置 SoC 内部的 PLL 来实现 DAC IP 核工作的转换时钟. 同时, 我们也通过加载程序初始化 DAC IP 核的控制寄存器, 并往 DAC 内部相应控制寄存器循环送入数字斜波信号以期来测试 DAC IP 核的静态性能参数. 同样地, 我们也通过采用 Synopsys 的 VCS 工具对上述功能进行仿真, 生成相应的 VCD 文件, 并转换成 V93000 机台上所采用的相应格式进行加载.

图 5 端口非测试复用 DAC IP 核性能参数测试流程



**模拟差分信号采样与截取:** 通过往 DAC IP 核送入一个数字斜波, 然后采样得到这个数字斜波所对应的模拟电压值, 可以比较容易地计算出 DAC IP 核的静态性能参数. 然而, 不同于端口测试复用的 DAC IP 核测试方法, 其在测试过程中可以完成数字码与相应模拟转换量的一一对应, 因此对应于端口非测试复用的 DAC IP 核来说, 其中一个重要的问题是在 V93000 采样 DAC IP 核模拟转换输出时如何得到一个数字码到所转换的模拟电压值之间的对应关系.

为此我们所进行的方案是通过生成测试向量, 以期在 DAC IP 核的模拟输出端得到如图 6 所示的波形. 首先通过程序对 DAC 完成复位, 然后输入一段时间全 0 码, 再输入一个完整的斜波, 然后输入全 1 码, 再以此循环. 从而, 通过 V93000 采样的 DAC 模拟转换输出结果, 我们可以通过软件分析判断当一个电压突然发生较大跃变, 则意味着一个新的周期开始, 从而除掉相应一段全 0 码所对应的电压采样值, 就可以截取得到一个完整的斜波, 并进行 DAC IP 核性能参数的计算. 在向量生成过程中我们之所以先输出一段时间的全 0 码再输入斜波的目的是为了避免突然电压跃变影响斜波开始部分数字码的模拟转换结果在 V93000 上的采样.

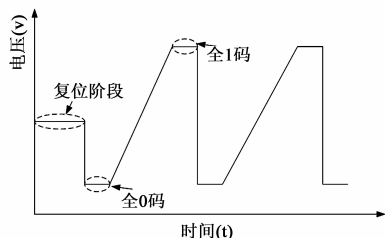


图 6 DAC IP 核对应模拟端的采样值

**DAC IP 核性能参数计算:** 通过上述方法得到数字码与之相对应的模拟采样结果后, 就可以方便地计算出 DAC IP 核的性能参数<sup>[20]</sup>. 算法 4 为用于 DAC IP 核静态性能参数计算的伪代码. 首先采用最小二乘法为模拟采样结果拟合出一条  $y = kx + b$  的斜线, 然后在拟合直线的基础上可以计算出 DAC IP 核常用的静态参数 DNL、INL、OFFSET、GAIN 值.

### 算法 4 DAC IP 核性能参数计算程序

```
void DAC_test(double input_data[])
{
    for(int i=0; i<num; i++) // num 为总样本数目
    {
        data_x[i] = i;
        data_y[i] = input_data[i]; // 其中 inputdata[i] 代表数字码 i
        // 所对应的模拟采样电压值.
    }
    A = 0.0; B = 0.0; C = 0.0; D = 0.0; tmp = 0.0; // 初始化
    for(i=0; i<num; i++)
    {
        A = data_x[i] * data_x[i] + A;
```

```

B = data_x[i] + B;
C = data_x[i] * data_y[i] + C;
D = data_y[i] + D;
}
k = (C * 65536 - B * D) / (A * 65536 - B * B);
b = (A * D - C * B) / (A * 65536 - B * B);
DNL[i] = (inputdata[i] - inputdata[i - 1]) / k - 1;
INL[i] = inputdata[i] - k * i - b;
offset = (inputdata[0] - b) / k;
Gain = (inputdata[max] - (max * k + b)) / k;
}

```

## 4 实验结果与分析

为了验证本文提出的测试方案,本文选择了一款分别集成有 16 位 ADC 和 16 位 DAC IP 核的 SoC 芯片并在 V93000 机台上进行了测试.对于这款 SoC 芯片,其中 ADC IP 核具有一对模拟差分输入信号,其共模电压为 1.5V,幅度为 1V.在本文对芯片的测试过程中,通过使用 V93000 上的一个 18 位 AWG 模块生成了一个频率约为 1KHz 的正弦差分信号作为测试输入信号. SoC 芯片内的 ADC IP 核的采样频率为 36KHz.对于这款 SoC 芯片,其中 DAC IP 核具有一对模拟差分输出信号,模拟差分输出信号的理想范围为  $-1V \sim 1V$ ,采用 V93000 上的 WDB 模块对其采样.

### 4.1 ADC IP 核性能参数测试结果与分析

本节当中,我们重点讨论和分析对 SoC 芯片中端口非测试复用 ADC IP 核进行测试的实验结果.在前面小节中已经进行了说明,我们通过 SoC 芯片里面的处理器把 ADC 转换的数字结果通过 GPIO 端口进行输出. V93000 通过并行采样 SoC 芯片的 GPIO 低 16 位端口来得到我们的 16 位 ADC IP 核的模数转换结果.

图 7 为 V93000 测试仪得到的从 ADC IP 核对输入信号进行采样的结果示意图.从图中可以看出,通过本文提出的端口非测试复用 ADC IP 核的测试方案, V93000 机台正确地采集到了预期的数字正弦信号.

通过图 7 所示的采样结果,我们可以准确地计算出

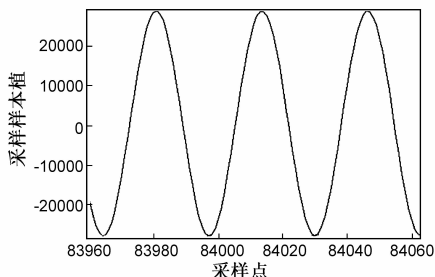


图7 采样结果

ADC IP 核的性能参数.图 8 为通过我们提出的测试方案对 15 片 SoC 样片进行 ADC IP 核性能参数测试并分别得到的最大 INL 以及 DNL 性能参数.

由于本文的一个重点是解决端口非测试复用 ADC IP 核如何进行性能参数测试的问题,因此虽然在本节中的实验结果只包含部分关于 ADC IP 核静态参数的实验结果,但这已经能够说明本文提出的端口非测试复用 ADC IP 测试方案的有效性.

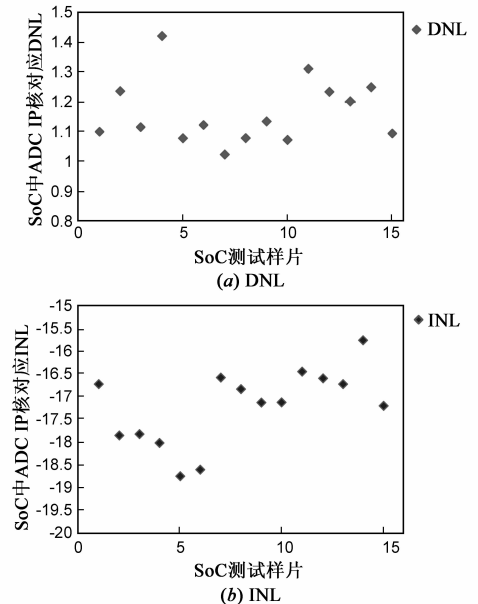


图8 ADC IP核的DNL以及INL计算结果

### 4.2 DAC IP 核性能参数测试结果与分析

在本节当中,我们对端口非测试复用 DAC IP 核进行测试的方案进行了相关实验.

图 9(a)为通过 V93000 的 WDB 模块对 DAC IP 核的模拟输出端进行采样的实验结果.为了计算 DAC IP 核的静态性能参数,我们需要得到往 DAC IP 核寄存器输入的数字码从最小值经历斜波变化到最大值时,相应模拟端的转换输出的电压值.图 9(b)为从图 9(a)采样结果中通过本文方法截取的一个完整斜波.从图 9(b)也可以看出,通过采用本文所提出的端口非测试复用 DAC IP 核的测试方案, V93000 机台能正确地找到数字和模拟输出之间的对应关系,从而可以正确计算出 DAC IP 核的性能参数.

图 10 为通过本文提出的端口非测试复用 DAC IP 核测试方案对 SoC 芯片中 DAC IP 核进行测试得到的 DNL 以及 INL 性能参数分布.

通过本节对 DAC IP 核的测试,我们计算了部分常用静态性能参数的结果,从而说明通过本文提出的方法对端口非测试复用 DAC IP 核测试的有效性.

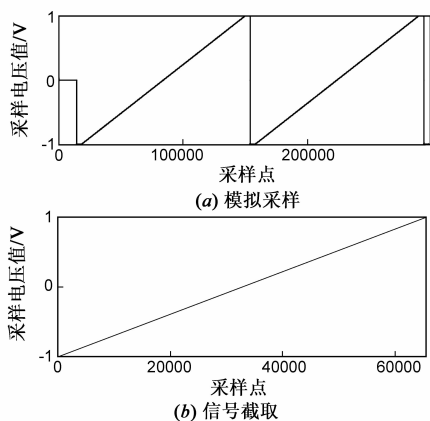


图9 V93000采样结果

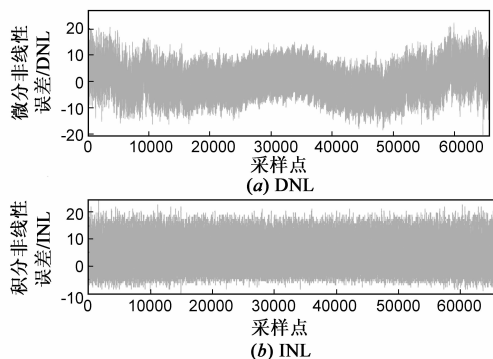


图10 性能参数测试结果

### 4.3 实验结果讨论

本文提出的基于 V93000 的 SoC 中端口非测试复用的 ADC 和 DAC IP 核性能参数测试方案的基本思想是把端口非测试复用 ADC IP 核采样转换的数字信号值通过 SoC 芯片执行程序并利用 GPIO 端口输出到 V93000 测试机台;同样,通过 SoC 芯片执行程序为端口非测试复用 DAC IP 核提供数字信号输入,并实现数字输入信号与模拟转换输出结果的一一对应。可见,同通过 V93000 测试端口进行了测试复用的 IP 核方法相比<sup>[21]</sup>,通过本文提出的端口非测试复用 ADC 和 DAC IP 核性能参数测试方法,基本不会影响到 ADC 和 DAC IP 性能参数的测试精度。此外,本文提出的端口非测试复用 ADC 以及 DAC IP 核性能参数测试方法不需要额外的硬件开销。然而,同端口测试复用方法相比,本文提出的端口非测试复用 ADC 和 DAC IP 核性能参数测试方法会相应增加一些额外的时间开销。这个时间开销主要体现在本文第三节所述通过 V93000 测试仪配置 SoC 芯片的时间开销。在 ADC IP 核性能参数测试过程中,配置过程所需的时间开销是 590962 个时钟周期。在本文的 ADC IP 核测试实验当中,V93000 所提供的时钟频率是 18.432MHz,由此,采用本文所提出的端口非测试复用 ADC IP 核性能参数测试方法的额外时间开销非常小,

大约是 32.06ms。在 DAC IP 核性能参数测试过程中,配置过程所需的时间开销是 486925 个时钟周期。在本文的 DAC IP 核测试实验当中,V93000 所提供的时钟频率是 50MHz,因此,采用本文所提出的端口非测试复用 DAC IP 核性能参数测试方法的额外时间开销同样非常小,大约是 9.74ms。

## 5 结束语

如何通过 V93000 等自动化测试仪器设备来测试端口没有进行测试复用的 ADC 以及 DAC IP 核成为一个需要研究的重要问题。本文针对这个测试问题,分别提出了端口非测试复用的 ADC 以及 DAC IP 核的性能参数测试方案。在 ADC IP 核的测试方案中,我们通过采用 V93000 往 SoC 芯片进行程序加载,并完成把 ADC 采样结果往 GPIO 端口进行传输。在 DAC IP 核测试方案中,我们同样通过采用 V93000 来加载程序,并通过软件的方法来寻找数字码所对应模拟电压输出并完成 DAC IP 核的性能测试。实验结果表明,通过本文所提出的 ADC 以及 DAC IP 核测试方案,能有效地测试端口没有进行测试复用的 ADC 以及 DAC IP 核的性能参数。

**致谢** 感谢工信部电子五所的唐锐、陈辉两位工程师在测试项目开发过程中给我们提供的帮助和支持。

## 参考文献

- [1] 熊志辉,李思昆,等.一种基于层次平台的 SoC 系统设计方法[J].电子学报,2004,32(11):1815-1819.  
Xiong Zhi-hui, Li Si-kun, et al. Hierarchical platform-based SoC system design method [J]. Acta Electronica Sinica, 2004, 32(11): 1815-1819. (in Chinese)
- [2] S Sarkar, S Chandar G, S Shinde. Effective IP reuse for high quality SOC design [A]. Proceedings of IEEE International SOC Conference [C]. Washington DC: IEEE Computer Society, 2005. 217-224.
- [3] 罗胜钦,等.基于改进的 NSGA 遗传算法的 SOC 软硬件划分方法[J].电子学报,2009,37(11):2595-2599.  
Luo Sheng-qin, et al. An advanced non-dominated sorting genetic algorithm based SOC hardware/software partitioning [J]. Acta Electronica Sinica, 2009, 37(11): 2595-2599. (in Chinese)
- [4] 胡瑜,等.SOC 可测试性设计与测试技术[J].计算机研究与发展,2005,42(1):153-162.  
Hu Yu, et al. Design-for-testability and test technologies for system-on-a-chip [J]. Journal of Computer Research and Development, 2005, 42(1): 153-162. (in Chinese)
- [5] P R Fernando, S Katkooi, D Keymeulen, R Zebulum, A Stolica. Customizable FPGA IP core implementation of a gener-

- al-purpose genetic algorithm engine [J]. IEEE Transactions on Evolutionary Computation, 2010, 14(1): 133 – 149.
- [6] A Deshpande. Verification of IP-Core based SoC's [A]. Proceedings of International Symposium on Quality Electronic Design [C]. Washington DC: IEEE Computer Society, 2008. 433 – 436.
- [7] 邓立宝, 乔立岩, 等. 一种改进的层次化 SOCs 并行测试封装扫描单元 [J]. 电子学报, 2012, 40(5): 949 – 954.  
Deng Li-bao, Qiao Li-yan, et al. A modified parallel wrapper cell for hierarchical SOCs test [J]. Acta Electronica Sinica, 2012, 40(5): 949 – 954. (in Chinese)
- [8] M Nahvi, A Ivanov. Indirect test architecture for SoC testing [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23(7): 1128 – 1142.
- [9] K George, C-I H Chen. Logic built-in self-test for core-based designs on system-on-a-chip [J]. IEEE Transactions on Instrumentation and Measurement, 2009, 58(5): 1495 – 1504.
- [10] 高雅, 刘亚洲. 基于 V93000 的高速模数转换芯片静态性能测试与分析 [A]. 第一届中国微电子计量与测试技术研讨会 [C]. 湖北武汉, 2008. 22 – 26.  
Gao Ya, Liu Ya-zhou. Analysis for the high-speed ADC static test with V93000 ATE [A]. Proceedings of the 1st Chinese Microelectronic Measurement and Test Symposium [C]. Wuhan, Hubei, 2008. 22 – 26. (in Chinese)
- [11] 肖鹏程, 牛林业, 高亮, 陆振海. 基于 93000 ATE 的高速高分辨率 ADC 动态参数测试 [J]. 微电子学, 2011, 41(3): 474 – 478.  
Xiao Peng-cheng, Niu Lin-ye, Gao Liang, LU Zhen-hai. Measurement of dynamic parameters of high-speed and high-resolution A/D converter based on 93000 ATE [J]. Microelectronics, 2011, 41(3): 474 – 478. (in Chinese)
- [12] M F Snoeij, et al. Multiple-ramp column-parallel ADC architectures for CMOS image sensors [J]. IEEE Journal of Solid-state Circuits, 2007, 42(12): 2968 – 2977.
- [13] J Yuan, et al. A 12-bit 20 MS/s 56.3 mW pipelined ADC with interpolation-based nonlinear calibration [J]. IEEE Transactions on Circuits and Systems-I, 2012, 59(3): 555 – 565.
- [14] D Seo. A heterogeneous 16-Bit DAC using a replica compensation [J]. IEEE Transactions on Circuits and Systems-I, 2008, 55(6): 1455 – 1463.
- [15] Z Zhou, G S La Rue. A 12-Bit nonlinear DAC for direct digital frequency synthesis [J]. IEEE Transactions on Circuits and Systems-I, 2008, 55(9): 2459 – 2468.
- [16] A Baccigalupi, M D' Arco, A Liccardo, M Vadursi. Test equipment for DAC's performance assessment: Design and characterization [J]. IEEE Transactions on Instrumentation and Measurement, 2010, 59(5): 1027 – 1034.
- [17] X Huang, J Huang. An ADC/DAC loopback testing methodology by DAC output offsetting and scaling [A]. Proceedings of IEEE VLSI Test Symposium [C]. Washington DC: IEEE Computer Society, 2010. 289 – 294.
- [18] 蒋和伦. 高速模/数转换器常规参数的动态测试 [J]. 微电子学, 2003, 33(3): 184 – 188.  
Jiang He-lun. Dynamic test of general parameters for high-speed analog-to-digital converters [J]. Microelectronics, 2003, 33(3): 184 – 188. (in Chinese)
- [19] 王红, 刑建辉, 杨士元. 基于复用的 SOC 测试技术 [J]. 半导体技术, 2004, 29(5): 49 – 51, 71.  
Wang Hong, Xing Jian-hui, Yang Shi-yuan. SOC testing based on reuse [J]. Semiconductor Technology, 2004, 29(5): 49 – 51, 71. (in Chinese)
- [20] 马明朗. DAC 静态参数测试技术研究 [A]. 第五届中国测试学术会议论文集 [C]. 江苏苏州, 2008. 261 – 264.  
Ma Ming-lang. A study of DAC static parameters testing [A]. Proceedings of the 5th China Test Conference [C]. Suzhou, Jiangsu, 2008. 261 – 264. (in Chinese)
- [21] Verigy Corporation. Verigy 93000 Manual [OL]. <http://cid-ee4383a0b230ffb7.skydrive.live.com/self.aspx/ATE%20Manual/Verigy/V93k%7C-manual%7C-5.0.0.part1.rar.2006>.

### 作者简介



裴颂伟 男. 1982 年 10 月出生, 湖南邵东人. 2011 年在中国科学院计算技术研究所获工学博士学位. 现为清华大学信息技术研究院博士后. 主要研究方向为 VLSI 测试与可测性设计, 嵌入式系统, 计算机体系结构.  
E-mail: peisongwei@163.com



李兆麟 男. 1973 年 7 月出生, 黑龙江大庆人. 教授、博士生导师、中国计算机学会高级会员、IEEE 会员、ACM 会员. 1994 年和 2000 年在哈尔滨工业大学分别获工学学士和工学博士学位. 现为清华大学移动计算研究中心副主任, 主要从事 SoC 设计、多核处理器等方面的研究工作.  
E-mail: lzl73@mail.tsinghua.edu.cn